



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nlegungsschrift
⑩ DE 199 22 060 A 1

⑤1 Int. Cl.⁶:
H 03 M 1/20
H 03 M 1/68

②1 Aktenzeichen: 199 22 060.3
②2 Anmeldetag: 14. 5. 99
④3 Offenlegungstag: 25. 11. 99

DE 199 22 060 A 1

⑥6 Innere Priorität:
198 21 463. 4 13. 05. 98

⑦1 Anmelder:
ifm electronic GmbH, 45127 Essen, DE

⑦4 Vertreter:
Patentanwälte Gesthuysen, von Rohr, Weidener,
Häkel, 45128 Essen

⑦2 Erfinder:
Deiss, Joachim, 88214 Ravensburg, DE; Wagner,
Alfred, 88285 Bodnegg, DE; Walter, Heinz, 88145
Hergatz, DE

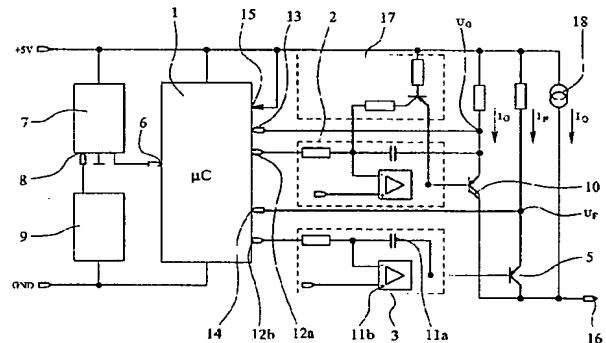
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren zur Umwandlung eines digitalen Signals

⑤7 Beschrieben ist ein Verfahren zur Umwandlung eines digitalen Signals, insbesondere eines Sensorsignales, in ein digital steuerbares Ausgangssignal, mit einem Mikroprozessor integrierten n-Bit-A/D-Wandler und mit einem zweiten n-Bit-A/D-Wandler, wobei der Mikroprozessor die Ausgangsströme zweier parallelgeschalteter Stromkanäle steuert und die beiden Ausgangsströme der Stromkanäle zusammenaddiert das Ausgangssignal mit einer (n + m)-Bit-Auflösung bilden und wobei der erste Stromkanal einen Grobstrom I_G mit den höherwertigen x-Bits und der zweite Stromkanal einen Feinstrom I_F mit den niederwertigen y-Bits liefert.

Mit dem erfindungsgemäßen Verfahren läßt sich dadurch ein Ausgangssignal mit einer hohen Auflösung bei Verwendung von billigen Standardbauteilen erreichen, daß die beiden Stromkanäle durch impulsgesteuerte Integrierer geregelt werden und die Spannungsabfälle an den Integriern jeweils einem A/D-Wandler zugeführt werden, wobei der Integrationsspannungsbereich U_{Gmax} zur Regelung des Grobstroms I_G im wesentlichen gleich dem Integrationsspannungsbereich U_{Fmax} zur Regelung des Feinstroms I_F ist.



DE 199 22 060 A 1

Die Erfindung betrifft ein Verfahren zur Umwandlung eines digitalen Signals, insbesondere eines Sensorsignales, in ein digital steuerbares Ausgangssignal, mit einem Mikroprozessor, mit einem vorzugsweise in den Mikroprozessor integrierten n-Bit-A/D-Wandler und mit einem zweiten n-Bit-A/D-Wandler, wobei der Mikroprozessor die Ausgangsströme zweier parallelgeschalteter Stromkanäle steuert und die beiden Ausgangsströme der Stromkanäle zusammenaddiert das Ausgangssignal mit einer (n+m)-Bit-Auflösung bilden und wobei der erste Stromkanal einen Grobstrom I_G mit den höherwertigen x-Bits und der zweite Stromkanal einen Feinstrom I_F mit den niederwertigen y-Bits liefert.

Im Rahmen der Erfindung wird unter einem digital steuerbaren Ausgangssignal ein quasi-analoges Ausgangssignal verstanden, d. h. ein solches Ausgangssignal, das im Gegensatz zu einem digitalen Signal nicht als eine Folge von Bits angezeigt wird, sondern einen konkreten Wert, beispielsweise einen Strom- oder Spannungswert anzeigt. Da das Ausgangssignal aus einem digitalen Signal umgewandelt wird, kann es nur bestimmte diskrete Werte annehmen. Dabei ist ein entscheidendes Kriterium die maximal mögliche Auflösung des Ausgangssignals, d. h. die maximal mögliche Anzahl an Unterteilungen eines vorgegebenen oder gewünschten Bereichs des Ausgangssignals.

Es sind bereits Verfahren bekannt, bei denen ein digitales Signal durch Pulsweitenmodulation mit einem n-Bit-Wandler-Regelkreis in ein zu dem digitalen Signal proportionales quasi-analoges Ausgangssignal umgewandelt werden kann. Dabei ist die Auflösung des quasi-analogen Ausgangssignals zum einen abhängig von der Bitzahl des digitalen Signals, zum anderen von der Bitzahl des verwendeten Wandlers. Eine ausreichend hohe Bitzahl des digitalen Signals vorausgesetzt, müßte somit ein Wandler mit einer der gewünschten Auflösung entsprechenden Bitzahl verwendet werden.

Heutzutage sind 8-Bit-Wandler Standard und relativ preiswert zu haben. Demgegenüber sind 10- oder 12-Bit-Wandler relativ teuer, so daß eine Verwendung solcher 10- oder 12-Bit-Wandler bei insgesamt recht preiswerten Geräten, beispielsweise Sensoren, nicht wirtschaftlich ist. Trotzdem ist es häufig erwünscht, eine höhere Auflösung als die durch einen 8-Bit-Wandler vorgegebene maximale Auflösung von 256 Stufen zur Verfügung zu haben.

Aus der deutschen Offenlegungsschrift 39 16 202 ist ein Verfahren bekannt, bei dem zwei A/D-Wandler verwendet werden, mit deren Hilfe eine sogenannte Kaskadierung des Ausgangssignals vorgenommen wird. Der gewünschte große Bereich wird dadurch erreicht, daß ein erster A/D-Wandler innerhalb eines speziellen Quantisierungsbereichs Ausgangsspannungen in feinen Abstufungen liefert und der zweite A/D-Wandler dem Quantisierungsbereich des ersten A/D-Wandlers entsprechende grobe Ausgangsspannungen zur Verfügung stellt. Nachteilig ist hierbei, daß der maximale Spannungsbereich der Feinstufe durch eine Spannungsstufe der Grobstufe festgelegt ist. Dies kann zum einen zu Unstetigkeiten an den Übergangsstellen führen, wenn der grobe Schritt nicht genau dem Quantisierungsbereich des ersten A/D-Wandlers entspricht. Zum anderen wird durch den begrenzten maximalen Spannungsbereich der Feinstufe die Genauigkeit der Umwandlung insgesamt verringert, wenn nicht kostspielige hochgenaue Bauteile verwendet werden.

Der vorliegenden Erfindung liegt somit die Aufgabe zugrunde, unter Verwendung möglichst kostengünstiger Bauteile ein Verfahren zur Umwandlung eines digitalen Signals in ein digital steuerbares Ausgangssignal mit möglichst großer Auflösung und großer Genauigkeit zur Verfügung zu

stellen.

Diese Aufgabe ist nach der Lehre der Erfindung zunächst dadurch gelöst, daß die beiden Stromkanäle durch impuls-gesteuerte Integrierer geregelt und die Spannungsabfälle an den Integriern jeweils einem A/D-Wandler zugeführt werden, wobei der Integrationsspannungsbereich U_{Gmax} zur Regelung des Grobstroms I_G im wesentlichen gleich dem Integrationsspannungsbereich U_{Fmax} zur Regelung des Feinstroms I_F ist. Der Integrierer, der den Grobstrom regelt, fungiert somit als Grobzähler der x-höherwertigen Bits des Ausgangssignals und der Integrierer, der den Feinstrom steuert, als Feinzähler der y-niederwertigen Bits des Ausgangssignals.

Das erfindungsgemäße Verfahren ist besonders vorteilhaft durch die Möglichkeit der Verwendung von Standard-Mikroprozessoren, die einen realen 8-Bit A/D-Wandler aufweisen, aus dem mittels Zeitmultiplexverfahren zwei oder mehrere A/D-Wandler gebildet werden können. Derartige Standard-Mikroprozessoren sind sehr preiswert sowie in verschiedenen Ausführungen erhältlich. Bei dem erfindungsgemäßen Verfahren kann somit aus einem 2n-Bit-Signal ein digital steuerbares Ausgangssignal mit einer Auflösung von (n+m)-Bit gebildet werden. Dabei ist $m \leq n$; die maximale Auflösung des Ausgangssignals ist somit 2n-Bit. Die höherwertigen x-Bits, mit $x \leq n$, des 2n-Bit breiten digitalen Signals bilden dabei den Grobstrom I_G und die niederwertigen y-Bits, mit $y = (n+m) - x$, den Feinstrom I_F . Bei der Umwandlung eines 16-Bit breiten digitalen Signals in ein digital steuerbares Ausgangssignal mit einer Auflösung von beispielsweise 12-Bit mittels eines Mikroprozessors mit zwei 8-Bit A/D-Wandlern können somit die 8 höherwertigen Bits den Grobstrom I_G und die 4 niederwertigen Bits dann den Feinstrom I_F bilden.

Durch die gleich großen Integrationsspannungsbereiche zur Regelung des Grobstromes I_G und des Feinstromes I_F ist keine Schachtelung notwendig, d. h. U_{Gmax} und U_{Fmax} sind nicht proportional zum Verhältnis von I_G zu I_F . Hierdurch kann eine größere Genauigkeit auch bei Verwendung von kostengünstigen Bauteilen erreicht werden, insbesondere dann, wenn der Integrationsspannungsbereich U_{Gmax} und der Integrationsspannungsbereich U_{Fmax} so groß wie möglich gewählt werden, nach Möglichkeit so groß wie die Betriebsspannung U_B .

Vorteilhafterweise weist jeder Integrierer einen Kondensator, insbesondere einen COG-Keramikkondensator, mindestens einen Widerstand und einen Operationsverstärker, insbesondere einen HCMOS- oder CMOS-Operationsverstärker auf.

Eine vorteilhafte Ausgestaltung des erfindungsgemäßen Verfahrens ist dadurch gekennzeichnet, daß ein Überlauf des Feinstroms I_F zu einer Erhöhung des Grobstroms I_G und zu einer gleichzeitigen Herabsetzung des Feinstroms I_F auf die Grundstufe führt und der Grobstrom I_G solange unverändert bleibt, bis ein solcher Überlauf erzeugt wird. Dadurch ist sichergestellt, daß ein Überlauf des Feinstroms I_F nicht zu einer Abweichung des Ausgabesignals vom Sollwert führt.

Nach einer besonders vorteilhaften Weiterbildung ist es möglich, zur schnelleren Erreichung des Zielwertes besonders bei großen Regelabweichungen die Zeitkonstante τ des Integrierers des Grobstromes I_G zu verändern. Dies geschieht vorteilhafterweise nicht über die Veränderung des Kondensatorwertes des Integrierers, sondern durch die Parallelschaltung eines wesentlich kleineren Widerstandes R_2 .

Eine weitere vorteilhafte Ausgestaltung des erfindungsgemäßen Verfahrens ist dadurch gekennzeichnet, daß das Ausgangssignal wahlweise als Stromwert oder als Spannungswert zur Verfügung gestellt werden kann.

Im einzelnen gibt es nun eine Vielzahl von Möglichkei-

ten, das erfindungsgemäße Verfahren auszugestalten. Dazu wird verwiesen einerseits auf die dem Patentanspruch 1 nachgeordneten Patentansprüche, andererseits auf die Beschreibung bevorzugter Ausführungsbeispiele in Verbindung mit der Zeichnung. In der Zeichnung zeigen

Fig. 1 eine erste, vereinfachte Ausführung einer elektronischen Schaltung zur Durchführung des erfindungsgemäßen Verfahrens,

Fig. 2 eine zweite, detaillierte Ausführung einer elektronischen Schaltung zur Durchführung des erfindungsgemäßen Verfahrens,

Fig. 2a eine weitere, gegenüber der Schaltung nach **Fig. 2** modifizierte Ausführung einer elektronischen Schaltung zur Durchführung des erfindungsgemäßen Verfahrens,

Fig. 3 eine Ausführung eines Teils einer elektronischen Schaltung zum wahlweisen Zurverfügungstellen des Ausgangssignals als Stromwert oder als Spannungswert gemäß einer bevorzugten Ausgestaltung des erfindungsgemäßen Verfahrens,

Fig. 4 ein Zeitschema des Verlaufs der Ausgänge der beiden Integrierer und

Fig. 5 einen Ausschnitt aus dem Zeitschema des Verlaufs des Ausgangs des den Feinstrom steuernden Integrierers.

Fig. 1 zeigt eine vereinfachte Darstellung einer Schaltung zur Durchführung eines erfindungsgemäßen Verfahrens, mit einem Mikroprozessor 1, mit zwei Integrierern 2, 3 und mit zwei Transistoren 4, 5. Der Eingang 6 des Mikroprozessors 1 ist mit einem A/D-Wandler 7 verbunden, an dessen Eingang 8 beispielsweise ein in **Fig. 1** nicht dargestellter Sensor 9 angeschlossen sein kann. Der A/D-Wandler 7 führt die Umwandlung des in der Regel analogen Sensorsignals in ein dazu proportionales digitales Signal durch. Selbstverständlich kann ein solcher A/D-Wandler 7 auch direkt in einem Sensor 9 integriert sein, so daß das Sensorsignal direkt an den Eingang 6 des Mikroprozessors 1 gegeben wird.

Fig. 2 zeigt eine konkretere Ausführung einer elektrischen Schaltung zur Durchführung des erfindungsgemäßen Verfahrens. Wie die Schaltung gemäß der **Fig. 1** besteht auch die Schaltung gemäß der **Fig. 2** aus einem Mikroprozessor 1 und zwei Integrierern 2, 3. Dem Integrierer 3 ist wie in **Fig. 1** ein Transistor 5 nachgeschaltet, während dem Integrierer 2 anstelle des Transistors 4 aus **Fig. 1** eine Darlington-Stufe 10 nachgeschaltet ist. Durch eine solche Darlington-Stufe 10 kann im Vergleich zu einem einfachen Transistor eine größere Stromverstärkung erreicht werden.

Die Integrierer 2, 3 bestehen jeweils aus einem Kondensator 11a und einem Operationsverstärker 11b. Dabei wird als Kondensator 11a vorzugsweise ein COG-Keramikkondensator und als Operationsverstärker 11b ein HCMOS- oder CMOS-Operationsverstärker verwendet. Der Vorteil von Keramikkondensatoren, insbesondere von COG-Keramikkondensatoren, besteht in ihrer sehr großen Temperaturstabilität und ihrer linearen Spannungs-Kapazitäts-Kennlinie. HCMOS- oder CMOS-Operationsverstärker ermöglichen sehr geringe Eingangsströme und führen somit nur zu einer unmerklichen Entladung der Integrierer.

Bei dem Mikroprozessor 1 handelt es sich vorteilhafterweise um einen marktüblichen Low-cost-4-Bit-Mikroprozessor mit einem 8-Bit A/D-Wandler. Als Beispiel eines solchen Mikroprozessors 1 kann ein Mikroprozessor vom Typ NEC 17 149 verwendet werden. Ein solcher Mikroprozessor wird mit einer Betriebsspannung von 5 V und einer Taktfrequenz von 8 MHz betrieben und weist einen realen 8-Bit A/D-Wandler und mehrere Push-Pull-Tristate-Ports 12a, 12b auf. Neben dem einen realen 8-Bit A/D-Wandler weist ein solcher Mikroprozessor drei virtuelle A/D-Wandler auf.

Der Stromkanal des Grobstroms I_G ist aus dem Integrierer 2 und der Darlington-Stufe 10 gebildet. Der Stromkanal des

Feinstroms I_F ist entsprechend aus dem Integrierer 3 und dem Transistor 5 gebildet. Über die Push-Pull-Tristate-Ports 12a, 12b gibt der Mikroprozessor 1 mit jedem Taktzyklus 0- oder 1-Impulse an die Integrierer 2 und 3. Somit fungiert der Integrierer 2 als Grobzähler des Grobstromes I_G und der Integrierer 3 als Feinzähler des Feinstroms I_F . Die Impulse des Mikroprozessors 1 führen zu einem Ansteigen (1-Impuls) oder einem Abfallen (0-Impuls) der Spannungsabfälle U_G bzw. U_F an den Integrierern 2 bzw. 3 um einen definierten Betrag ΔU_G bzw. ΔU_F . Die Spannungsabfälle U_G bzw. U_F an den Integrierern 2, 3 sind auf A/D-Wandlereingänge 13 bzw. 14 des Mikroprozessors 1 zurückgeführt. Ein dritter A/D-Wandlereingang 15 ist mit der Referenzspannung, in diesem Fall mit + 5 V, verbunden. Durch die Referenzspannung wird somit festgelegt, welchem Spannungswert 8-Bit entsprechen sollen.

Gemäß dem erfindungsgemäßen Verfahren zur Umwandlung eines digitalen Signals in ein digital steuerbares Ausgangssignal werden die beiden parallelen Stromkanäle durch den Mikroprozessor 1 gesteuert. Im folgenden soll dieses Verfahren nun an einem Beispiel in Verbindung mit der **Fig. 2** erläutert werden.

Das analoge Signal eines Sensors 9 wird mit Hilfe des A/D-Wandlers 7 in ein digitales 16-Bitsignal umgewandelt. Dieses digitale 16-Bitsignal wird an den Eingang 6 des Mikroprozessors 1 gegeben. Der Mikroprozessor 1 steuert die Ausgangsströme zweier parallelgeschalteter Stromkanäle, indem Impulse auf die Integrierer 2 und 3 gegeben werden. Der erste Stromkanal liefert einen Grobstrom I_G mit den acht höherwertigen Bits und der zweite Stromkanal einen Feinstrom I_F mit den vier niederwertigen Bits, so daß nach der Addition der beiden Ausgangsströme der Stromkanäle ein quasianaloges Ausgangssignal 16 mit 12-Bit Auflösung zur Verfügung steht.

Über die A/D-Wandlereingänge 13 bzw. 14 werden die Spannungsabfälle U_G , U_F an den Integrierern 2 bzw. 3 abgefragt, so daß zum einen bei einem Überlauf des Feinzählers dieser auf die Grundstufe zurückgesetzt wird, zum anderen gleichzeitig der Grobzähler entsprechend um eine Stufe erhöht oder erniedrigt wird. Darüber hinaus wird durch das ständige Abfragen der Spannungsabfälle U_G und U_F bzw. des Grobstroms I_G und des Feinstroms I_F zumindest der Grobstrom I_G um einen der jeweiligen Grobstufe entsprechenden Wert herumgetoggelt. Würde der Grobstrom I_G bei konstantem Sensorsignal innerhalb einer Schrittweite der Grobzählers frei schwanken, so wäre die weitere Auflösung des Ausgangssignals in die vier Bits des Feinzählers überflüssig.

Darüber hinaus enthält die elektronische Schaltung gemäß **Fig. 2** noch einen Übersteuerungsschutz 17 und eine Konstantstromquelle 18, welche einen dritten, parallelen Stromkanal bildet und einen Offsetstrom I_Q liefert. Durch den Offsetstrom I_Q wird gewährleistet, daß dann, wenn das Ausgangssignal als Stromwert anstehen soll, dieser Stromwert im Bereich von beispielsweise 4 bis 20 mA und nicht im Bereich von 0 bis 16 mA liegt.

Im Unterschied zu der Schaltung gemäß **Fig. 2** ist bei der Schaltung gemäß **Fig. 2a** dem Widerstand R_1 des Integrierers 2 noch ein zweiter, wesentlich kleinerer Widerstand R_2 parallel geschaltet, der einerseits mit dem negativen Eingang des Operationsverstärkers des Integrierers 2 und andererseits mit einem weiteren Push-Pull-Tristate-Port 12c des Mikroprozessors 1 verbunden ist. Durch die Parallelschaltung des Widerstandes R_2 wird die Zeitkonstante τ des Integrierers 2 verkleinert, so daß bei einer großen Regelaabweichung des Sensorsignals am Eingang 6 des Mikroprozessors 1 der erforderliche Grobstrom I_G und damit auch das gewünschte Ausgangssignal 16 schneller erreicht wird.

Der in Fig. 3 dargestellte Teil einer elektronischen Schaltung ermöglicht es, daß bei dem erfindungsgemäßen Verfahren das Ausgangssignal wahlweise als Stromwert oder als Spannungswert herausgeführt wird. Die Schaltung, wie sie in Fig. 2 dargestellt ist, liefert als Ausgangssignal 18 die Summe der Ströme der drei parallelgeschalteten Stromkanäle, also die Summe aus Grobstrom I_G , Feinstrom I_F und Offsetstrom I_Q . Bei Stromwahl wird das Ausgangssignal über eine Diode 19 an den I/U-Ausgang 20 geführt. Bei Spannungswahl fließt das Ausgangssignal 18 über einen internen Widerstand 21. Eine als Impedanzwandler arbeitende Operationsverstärkerschaltung 22 nimmt die am internen Widerstand 21 abgefallene Spannung hochohmig ab und gibt diese Spannung niederohmig an die Kathode der Diode 19 weiter. Die Operationsverstärkerschaltung 22 sorgt dabei dafür, daß an der Diode 19 an der Anode und an der Kathode die selbe Spannung anliegt. Bei Spannungswahl wird die Operationsverstärkerschaltung 22 durch eine Spannungsquelle mit einem positiven Potential versorgt. Der eine Pol des I/U-Ausgangs 20 liegt an einer negativen Versorgungsspannung, so daß das Ausgangssignal dann zwischen der Kathode der Diode 19 und der negativen Versorgungsspannung anliegt. In Fig. 3 beträgt die negative Versorgungsspannung -10 V , so daß am I/U-Ausgang 20 eine Spannung von $0-10\text{ V}$ anliegt.

Durch weiter vorgesehene Schalter 23, 24 wird sichergestellt, daß nur der Strom der drei Stromkanäle nach außen fließt. Über einen Schalter 25 wird bei Spannungswahl der Offsetstrom I_Q abgeschaltet, bei Stromwahl bleibt die Operationsverstärkerschaltung 22 unversorgt, wodurch sich eventuell aufteilende Ströme am I/U-Ausgang 20 wieder addieren.

Fig. 4a zeigt das Zeitschema des Spannungsverlaufes am Ausgang des Integrierers 2 bei entsprechenden Impulsen an dessen Eingang, Fig. 4b das entsprechende Zeitschema des Spannungsverlaufes am Ausgang des Integrierers 3 bei entsprechenden Impulsen an dessen Eingang. Durch 0- oder 1-Impulse mit einer ersten Impulsdauer t_{\max} steigt bzw. fällt der Spannungsabfall U_G am Integrierer 2 um ΔU_G , der Spannungsabfall U_F am Integrierer 3 um $\Delta U_{F\max}$. Bei dem zuvor beschriebenen und in Fig. 4 dargestellten Beispiel mit einer Betriebsspannung von 5 V und einem in 8-Bit unterteilten Grobstrom I_G sowie einem in 4-Bit unterteilten Feinstrom I_F beträgt die Spannungsänderung $\Delta U_G = 5\text{ V} : 2^8 = 19,53\text{ mV}$ und die Spannungsänderung $\Delta U_{F\max} = 5\text{ V}$. Der Spannungsabfall U_F ändert sich somit innerhalb der ersten Impulsdauer t_{\max} um den maximal möglichen Betrag, während sich der Spannungsabfall U_G nur um einen Betrag entsprechend einer Grobstufe ändert. Bei einer Referenzspannung von $+5\text{ V}$, die den Spannungswert für 8-Bit und damit den maximal möglichen Spannungswert festlegt, betragen damit auch die Integrationsspannungsbereiche $U_{G\max}$ und $U_{F\max}$ 5 V .

Die erste Art von Impulsen mit einer Impulsdauer t_{\max} liegt am Eingang des Integrierers 2 in Form eines Steigimpulses 26 an, wodurch der Spannungsabfall U_G um ΔU_G ansteigt. Dabei erfolgt ein solcher Steigimpuls 26 dann, wenn gleichzeitig am Eingang des Integrierers 3 ein Überlaufimpuls 27 mit derselben Impulsdauer t_{\max} anliegt. Ein solcher Überlaufimpuls 27 wird dann erzeugt, wenn der Feinzähler auf Stufe 15 steht und durch Anliegen eines Steigimpulses 28 der nächsthöhere Wert erreicht werden soll. Der Feinzähler geht dann nicht auf die nächsthöhere Stufe, d. h. nicht auf die Stufe 16, sondern durch den Überlaufimpuls 27 auf Stufe 1 zurück, wobei der Wert des Grobzählers gleichzeitig durch den Steigimpuls 26 um eine Stufe erhöht wird.

Mit einer zweiten Art von Impulsen, den Halteimpulsen 28 mit einer Impulsdauer t_{\min} , ist sichergestellt, daß die Regelabweichung der Grobstufe bei jedem Wert eines konstan-

ten Sensorsignals minimal ist. Könnte sich der Grobstrom I_G innerhalb einer Stufe des Grobzählers frei bewegen, so würde dies die weitere Unterteilung in einen Feinstrom I_F sinnlos machen bzw. das Ausgangssignal mit der um die Bitzahl des Feinstromes erhöhten Auflösung mit einer erhöhten Fehlerrate belegen. Durch die Halteimpulse 28 der Impulsdauer t_{\min} ist dafür gesorgt, daß die maximale Abweichung 29 des Grobstromes I_G von einem festen Stromwert kleiner ist als der Betrag des kleinsten auflösbaren Stromwertes des Feinstromes I_F , also kleiner ist als eine Stufe ΔU_F des Feinzählers. Sinnvoll ist dabei ein Größenunterschied mit einem Faktor von etwa 10 bis 30.

Fig. 5 zeigt einen vergrößerten Ausschnitt des Spannungsverlaufes aus Fig. 4b. Darin ist zunächst noch einmal der Übergang des Feinzählers von Stufe 15 auf Stufe 1 innerhalb der Impulsdauer t_{\max} erkennbar. Darüber hinaus ist in der Fig. 5 die Impulsdauer t_F der Steigimpulse 30 des Feinzählers erkennbar, die zeitlich zwischen t_{\max} und t_{\min} liegt. Bei einem Feinzähler mit, wie in dem beschriebenen Beispiel, vier Bit, also mit $2^4 = 16$ Stufen, beträgt die Spannungsänderung ΔU_F am Integrierer 3 beim Übergang von einer Stufe zur nächsthöheren Stufe $\Delta U_F = \Delta U_{F\max} : 2^4 = 5\text{ V} : 16 = 312,5\text{ mV}$.

In dem beschriebenen Beispiel mit dem eingangs erwähnten Mikroprozessor 1 vom Typ NEC 17 149 mit einer Taktfrequenz von 8 MHz beträgt die Impulsdauer $t_{\max} = 2\text{ ms}$, die Impulsdauer $t_{\min} = 6\text{ }\mu\text{s}$ und die Impulsdauer $t_F = 133\text{ }\mu\text{s}$.

Insgesamt existieren somit bei der Schaltung gemäß der Fig. 2 drei verschiedene Impulsarten, alle mit der selben Amplitude – negativer Impuls = V , positiver Impuls = $+5\text{ V}$ – jedoch mit unterschiedlichen Impulsdauern und unterschiedlicher Funktion. Allen gemeinsam ist darüber hinaus die konstante Periodendauer von im oben genannten Beispiel 2 ms .

1. Impulsdauer $t_{\max} = 2\text{ ms}$. Sie dient zum einen zum Zurücksetzen des Feinzählers um $\Delta U_{F\max}$, zum anderen gleichzeitig zum Ändern des Grobzählers um ΔU_G . Dadurch, daß im Moment des linearen Rücksetzens des Feinzählers der Grobzähler während der gleichen Impulsdauer t_{\max} erhöht wird, werden Unstetigkeiten verhindert.

2. Impulsdauer $t_{\min} = 6\text{ }\mu\text{s}$. Diese abwechselnd positiven und negativen "Toggelimpulse" bewirken keine Spannungsänderung über einen längeren Zeitraum, sondern sorgen dafür, daß die Regelabweichung der Grobstufe und eventuell auch der Feinstufe bei jedem Wert des konstanten Sensorsignals minimal ist.

3. Impulsdauer $t_F = 133\text{ }\mu\text{s}$. Sie dient zum Verändern von ΔU_F und ergibt sich direkt aus der Impulsdauer t_{\max} , dividiert durch die Anzahl der Stufen des Feinzählers minus eins.

Bei der Schaltung gemäß Fig. 2a gibt es zusätzlich zu den oben genannten Impulsarten eine vierte Impulsart mit einer variablen Impulsdauer t_{Gvar} . Bei einer großen Regelabweichung wird zur Verringerung der Reaktionszeit nicht nur die Zeitkonstante τ des Integrierers 2 der Grobstufe verändert, sondern vorteilhafterweise auch die optimale Impulsdauer des über den Push-Pull-Tristate-Port 12c gesendeten Impulses vom Mikroprozessor berechnet. Diese Impulsart ist somit die einzige, deren Dauer nicht konstant ist.

Soll das digitale Sensorsignal am Eingang 6 des Mikroprozessors 1 beispielsweise auf einen Strombereich von $0-16\text{ mA}$ abgebildet werden, so ergeben sich für den Grobstrom I_G und den Feinstrom I_F bzw. die einzelnen Unterteilungen für das zuvor beschriebene Beispiel mit achtfach höherwertigen und vierfach niederwertigen Bits folgende

Werte:

$$\begin{aligned} I_{G\max} &= 16 \text{ mA} \\ \Delta I_G &= I_{G\max} : 2^8 = I_{G\max} : 256 = 62,5 \text{ } \mu\text{A} \\ I_{F\max} &= \Delta I_G = 62,5 \text{ } \mu\text{A} \\ \Delta I_F &= I_{F\max} : 2^4 = I_{F\max} : 16 = 3,9 \text{ } \mu\text{A}. \end{aligned}$$

Gegenstand der Erfindung ist nicht nur das im einzelnen beschriebene und durch die Patentansprüche dargestellte Verfahren zur Umwandlung eines digitalen Signals in ein digital steuerbares Ausgangssignal, Gegenstand der Erfindung ist vielmehr auch die zuvor beschriebene und in den Fig. 1 bis 3 dargestellte Schaltung mit allen beschriebenen und dargestellten Varianten.

Patentansprüche

1. Verfahren zur Umwandlung eines digitalen Signals, insbesondere eines Sensorsignales, in ein digital steuerbares Ausgangssignal, mit einem Mikroprozessor, mit einem vorzugsweise in den Mikroprozessor integrierten n-Bit-A/D-Wandler und mit einem zweiten n-Bit-A/D-Wandler, wobei der Mikroprozessor die Ausgangsströme zweier parallelgeschalteter Stromkanäle steuert und die beiden Ausgangsströme der Stromkanäle zusammenaddiert das Ausgangssignal mit einer (n+m)-Bit-Auflösung bilden und wobei der erste Stromkanal einen Grobstrom I_G mit den höherwertigen x-Bits und der zweite Stromkanal einen Feinstrom I_F mit den niederwertigen y-Bits liefert, **dadurch gekennzeichnet**, daß die beiden Stromkanäle durch impulsgesteuerte Integrierer geregelt und die Spannungsabfälle an den Integriern jeweils einem A/D-Wandler zugeführt werden, wobei der Integrationsspannungsbereich $U_{G\max}$ zur Regelung des Grobstroms I_G im wesentlichen gleich dem Integrationsspannungsbereich $U_{F\max}$ zur Regelung des Feinstroms I_F ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Integrationsspannungsbereich $U_{G\max}$ und der Integrationsspannungsbereich $U_{F\max}$ gleich groß und gleich der Betriebsspannung U_B sind.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß jeder Integrierer einen Kondensator, mindestens einen Widerstand und einen Operationsverstärker aufweist.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß ein Überlauf des Feinstroms I_F zu einer Erhöhung des Grobstroms I_G und zu einer gleichzeitigen Herabsetzung des Feinstroms I_F auf die Grundstufe führt und der Grobstrom I_G solange unverändert bleibt, bis ein solcher Überlauf erzeugt wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß der Spannungsabfall U_G an dem Integrierer des Grobstroms I_G während einer Impulsdauer t_{\max} um ΔU_G und der Spannungsabfall U_F an dem Integrierer des Feinstroms I_F während der Impulslänge t_{\max} um $\Delta U_{F\max}$ verändert wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Spannungsabfall U_F an dem Integrierer des Feinstroms I_F während der Impulslänge t_F um ΔU_F verändert wird.
7. Verfahren nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Ausgangsströme der beiden Stromkanäle, der Grobstrom I_G und der Feinstrom I_F , über die beiden A/D-Wandler des Mikroprozessors abgefragt werden.
8. Verfahren nach Anspruch 7, dadurch gekennzeichnet,

net, daß der Grobstrom I_G um einen festen Stromwert herumgetoggelt wird, wobei die maximale Abweichung des Grobstroms I_G von dem festen Stromwert kleiner ist als der Betrag des kleinsten auflösbaren Stromwertes des Feinstroms I_F .

9. Verfahren nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß bei großen Regelabweichungen die Zeitkonstante τ des Integrierers des Grobstroms I_G verändert wird.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, daß die Zeitkonstante τ des Integrierers des Grobstroms I_G durch Parallelschalten eines wesentlich kleineren Widerstandes verändert wird.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, daß bei großen Regelabweichungen der Spannungsabfall U_G an dem Integrierer des Grobstroms I_G durch einen Impuls mit einer variablen Impulsdauer $t_{G\text{var}}$ verändert wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß für die Impulsdauer $t_{G\text{var}}$ je nach geforderter Regelabweichung vom Mikroprozessor der optimale Wert berechnet wird.

13. Verfahren nach einem der Ansprüche 3 bis 12, dadurch gekennzeichnet, daß die Kondensatoren Keramik Kondensatoren, vorzugsweise COG-Keramik Kondensatoren, und die Operationsverstärker HCMOS- oder CMOS-Operationsverstärker sind.

14. Verfahren nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, daß die Integrierer als Inverter betrieben werden.

15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, daß das Ausgangssignal wahlweise als Stromwert oder als Spannungswert erzeugt wird.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß bei Stromauswahl die Summe der beiden Ausgangsströme über eine Diode als Ausgangsstrom nach außen geführt wird und daß bei Spannungsauswahl die Summe der beiden Ausgangsströme über einen internen Widerstand abfließt und eine als Impedanzwandler fungierende Operationsverstärkerschaltung die über den internen Widerstand abfallende Spannung nach außen führt.

17. Verfahren nach einem der Ansprüche 1 bis 16, dadurch gekennzeichnet, daß ein Übersteuerungsschutz verwendet wird.

18. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, daß eine Konstantstromquelle einen dritten Stromkanal bildet und einen Offsetstrom liefert und der Offsetstrom bei Stromauswahl zu der Summe der beiden Ausgangsströme addiert wird.

19. Verfahren nach einem der Ansprüche 1 bis 18 durch die Anwendung gekennzeichnet, bei thermisch arbeitenden Sensorsystemen, insbesondere Temperatursensoren oder kalorimetrisch arbeitenden Strömungssensoren.

Hierzu 6 Seite(n) Zeichnungen

- Leerseite -

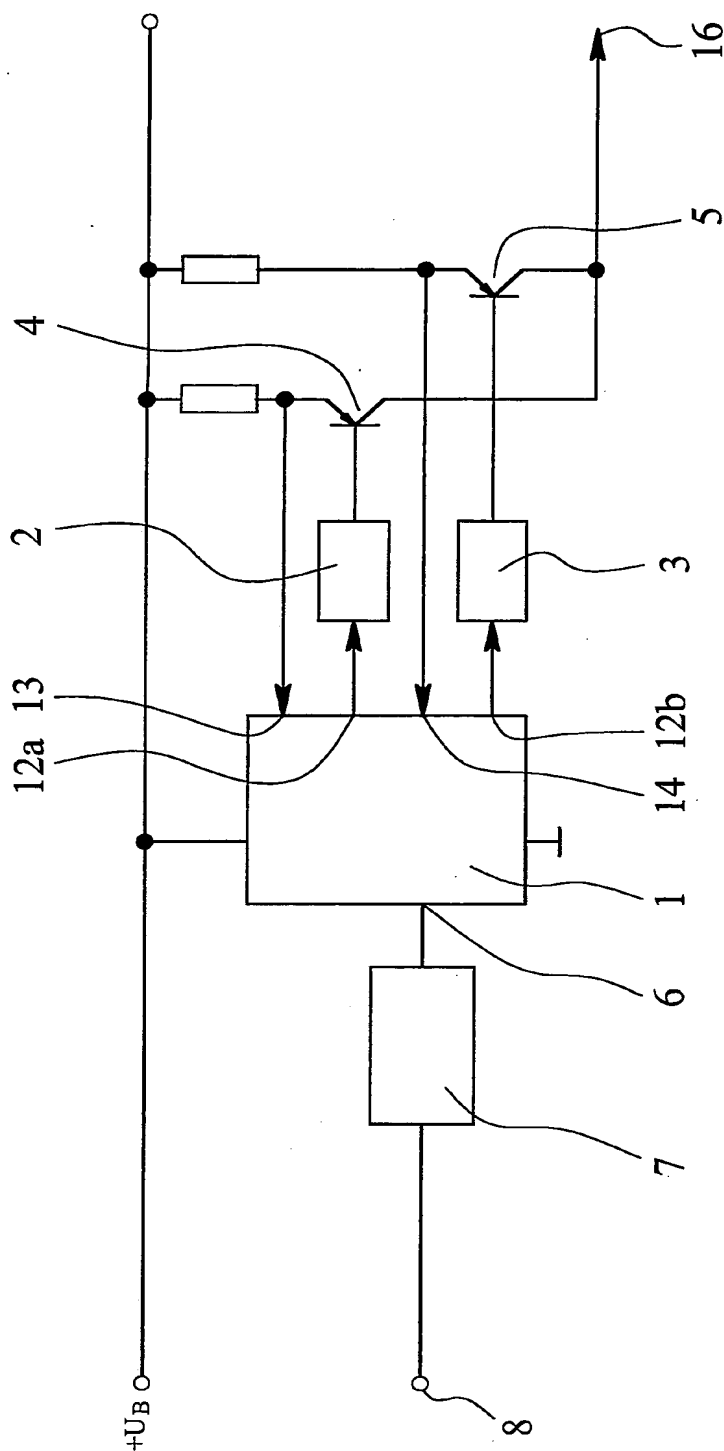


Fig. 1

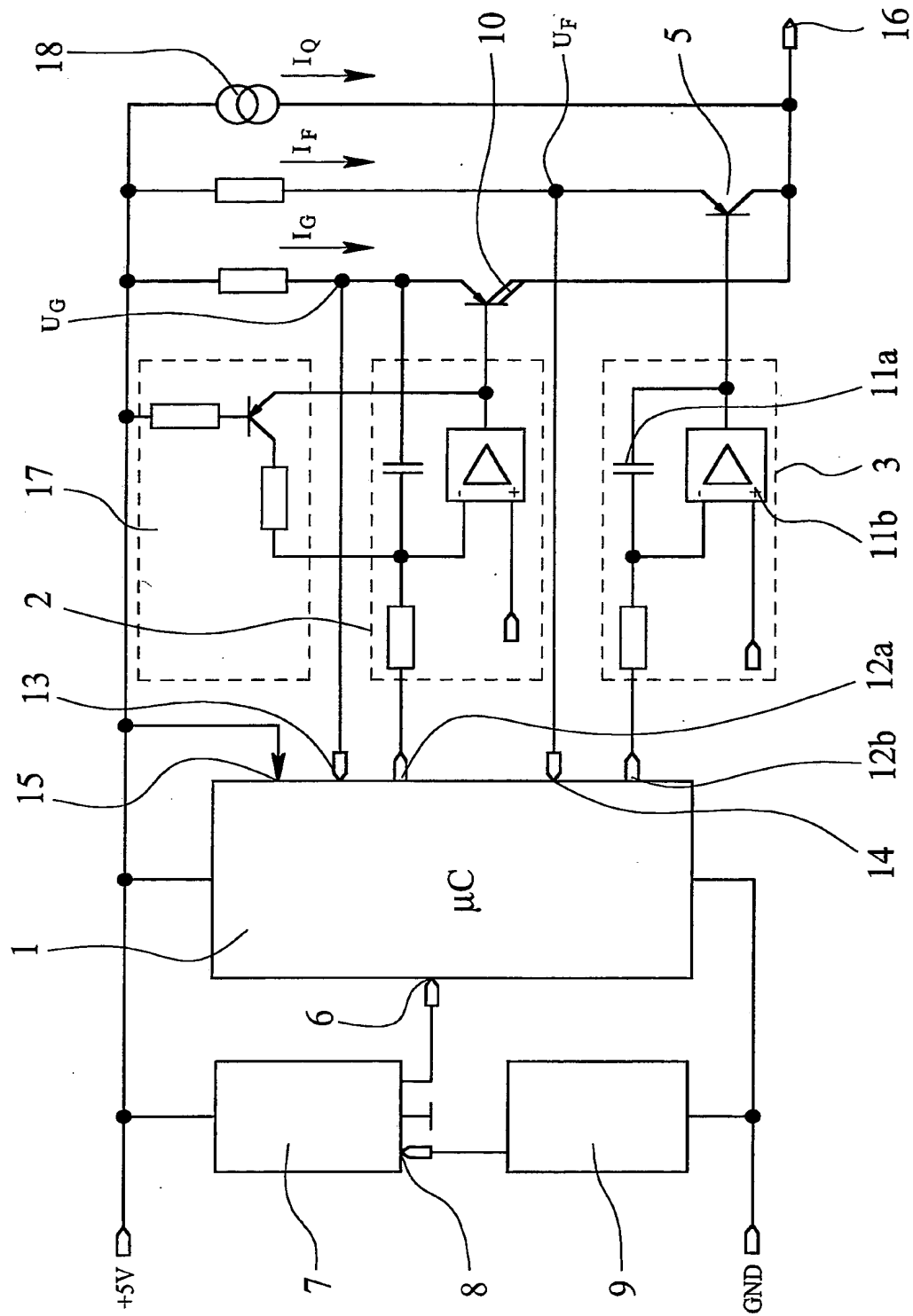


Fig. 2

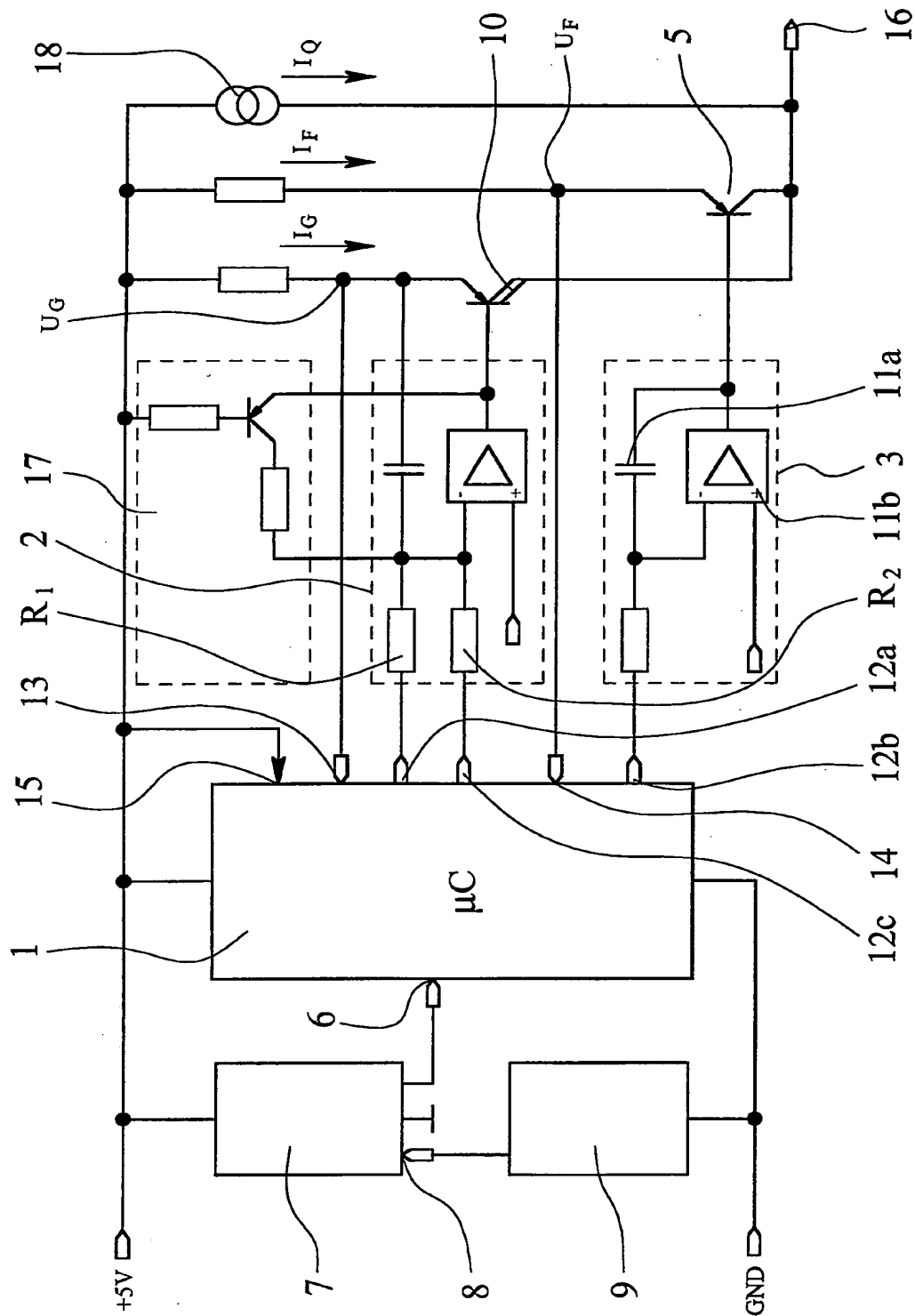


Fig. 2a

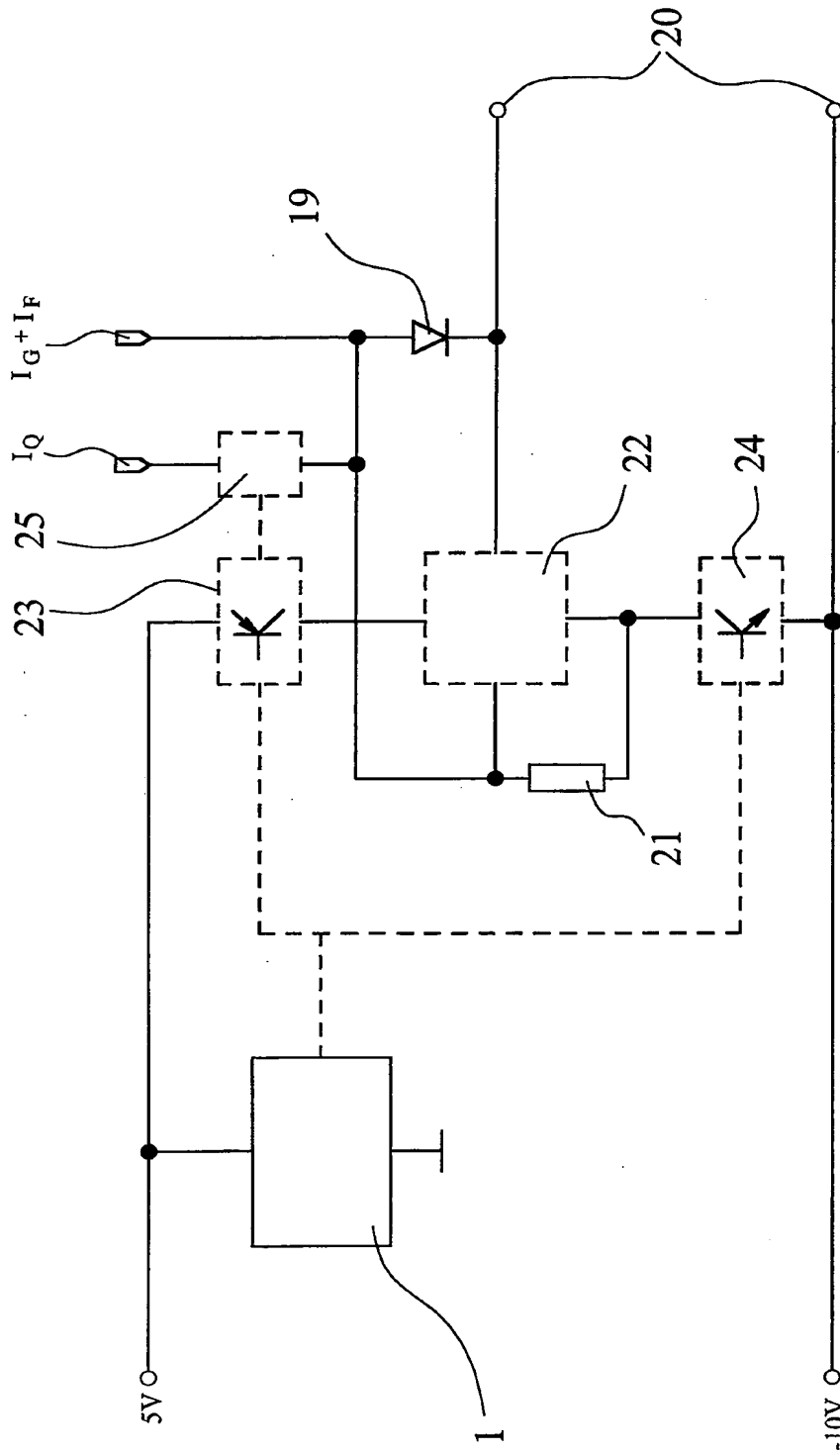


Fig. 3

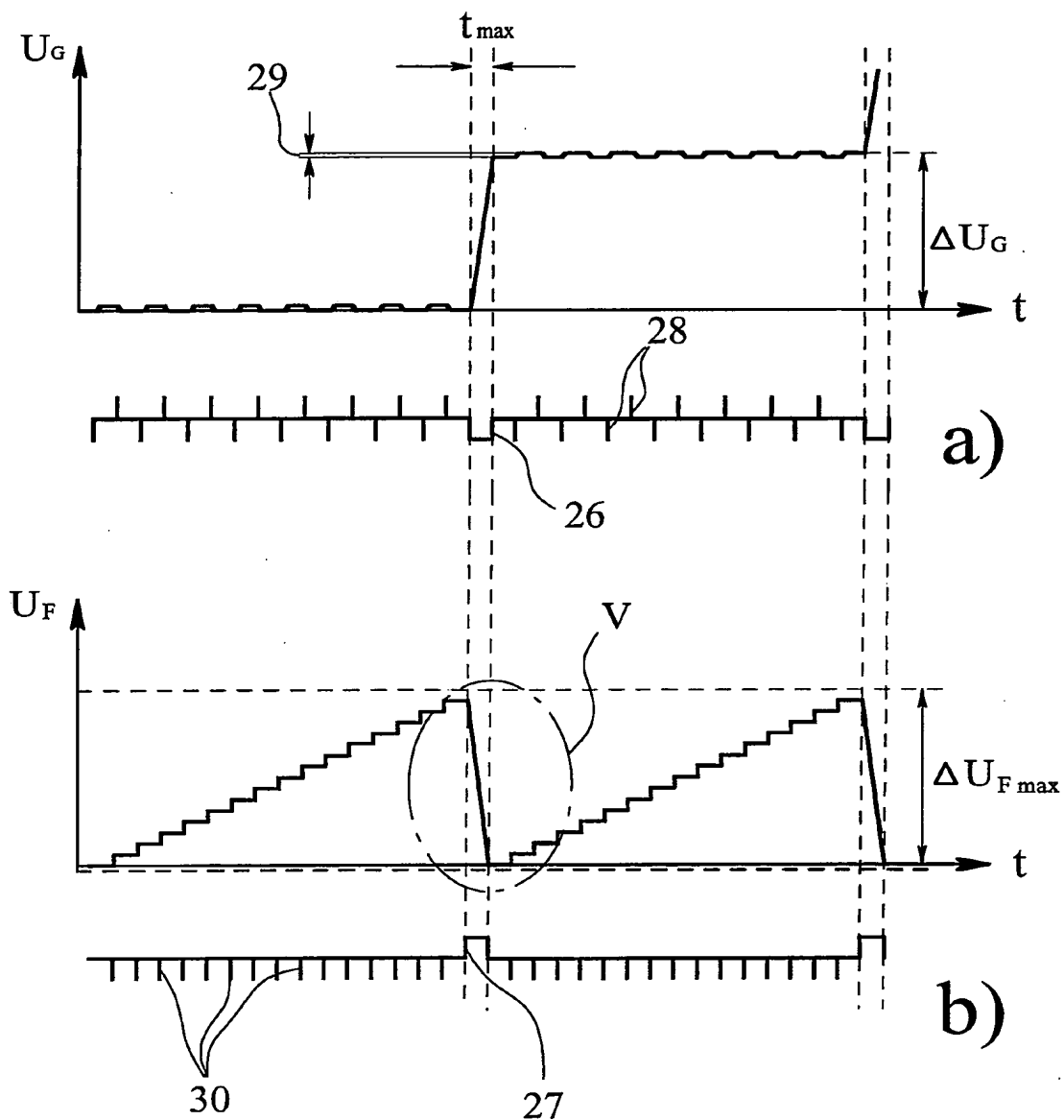


Fig. 4

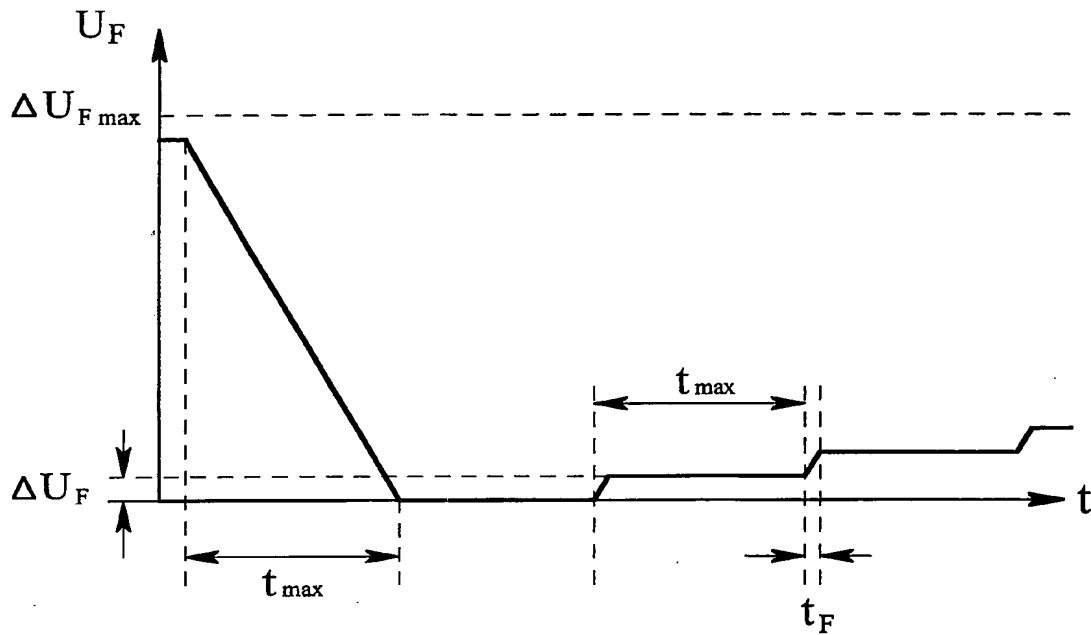


Fig. 5